

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-358343**

(43)Date of publication of application : **26.12.2001**

(51)Int.Cl.

H01L 29/786  
G02F 1/1333  
G02F 1/1368  
H01L 21/28  
H01L 21/3205  
H01L 21/336

(21)Application number : **2001-109577**

(71)Applicant : **SAMSUNG ELECTRONICS CO LTD**

(22)Date of filing : **09.04.2001**

(72)Inventor : **KO KOSHOKU  
HUR MYUNG-KOO**

(30)Priority

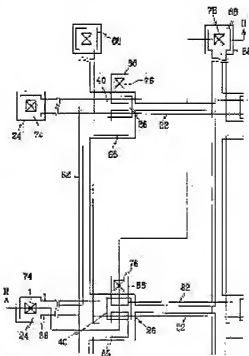
Priority number : **2000 200020807** Priority date : **19.04.2000** Priority country : **KR**

**(54) CONTACT STRUCTURE FOR WIRINGS AND ITS FORMING METHOD, THIN-FILM TRANSISTOR SUBSTRATE INCLUDING THE SAME AND MANUFACTURING METHOD THEREOF**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a contact structure for wirings which is made of a low-resistance substance and at the same time has a low-resistance contact characteristic, and to provide a method for forming the structure.

**SOLUTION:** In the contact structure for wirings and its forming method, after laminating an aluminum-based conductive substance on a substrate, it is patterned to form each lateral gate wiring on the substrate. Then, after forming a gate insulation film by laminating on each gate wiring silicon nitride within a temperature range not lower than 300°C and during a term not shorter than 5 minutes, each semiconductor layer and resistive contact layers are formed successively on the gate insulation film. Thereafter, by laminating thereon such a metal as chrome and patterning it, data wirings intersecting each gate wiring are formed. Then, after laminating a protective film thereon and patterning it, contact holes are so formed in the protective film as to expose respectively to the external of the surfaces of each drain electrode, each gate pad, and each data pad. Thereafter, by laminating IZO thereon and patterning it, there are formed each picture-element electrode, each auxiliary gate pad, and each auxiliary data pad which are connected electrically and respectively with each drain electrode, each gate pad, and each data pad.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特調2001-358343

(P2001-358343A)

(43) 公開日 平成13年12月26日 (2001.12.26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ページコード (参考)
H 0 1 L 29/786		C 0 2 F 1/1333	5 0 5 2 H 0 9 0
G 0 2 F 1/1333	5 0 5	1/1368	2 H 0 9 2
1/1368		H 0 1 L 21/28	3 0 1 L 4 M 1 0 4
H 0 1 L 21/28	3 0 1	29/78	6 1 2 C 5 F 0 3 3
21/3205		21/88	N 5 F 1 1 0
		審査請求 未請求	請求項の数 41 O L (全 18 頁) 最終頁に続く
(21) 出願番号	特願2001-109577 (P2001-109577)	(71) 出願人	390019839
(22) 出願日	平成13年4月9日 (2001.4.9)		三星電子株式会社
(31) 優先権主張番号	2 0 0 0 - 2 0 8 0 7	(72) 発明者	孔 香 植
(32) 優先日	平成12年4月19日 (2000.4.19)		大韓民国京畿道水原市八達区雲通洞ビヨッ
(33) 優先権主張国	韓国 (K R)	(72) 発明者	チョッゴル三星アパート921棟1003号
		(72) 発明者	許 命 九
		(72) 発明者	大韓民国京畿道龍仁市器興邑農書里山24番
		(74) 代理人	地
		(74) 代理人	100094145
		(74) 代理人	弁理士 小野 由己男 (外1名)

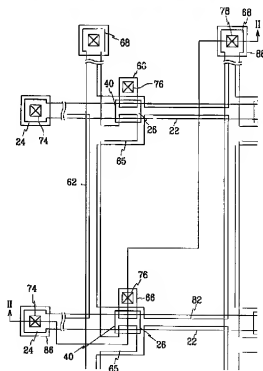
最終頁に続く

(54) 【発明の名称】 配線の接触構造及びその形成方法並びにこれを含む薄膜トランジスタ基板及びその製造方法

(57) 【要約】

【課題】 低抵抗物質からなると同時に低抵抗の接触特性を有する配線の接触構造及びその形成方法を提供する。

【解決手段】 アルミニウム系列の導電物質を積層しパターニングして基板上に横方向のゲート配線を形成する。次に、ゲート絶縁膜を300℃以上の温度範囲で5分以上の間窒化ケイ素を積層して形成し、その上部に半導体層及び低抵抗性接触層を順次に形成する。その後クロムなどの金属を積層しパターニングすることにより、ゲート線と交差するデータ配線を形成する。次に、保護膜を積層しパターニングしてドレイン電極、ゲートパッド及びデータパッドの表面を各々露出する接触孔を形成する。その後、IZOを積層しパターニングすることにより、ドレイン電極、ゲートパッド及びデータパッドと各々電気的に連結される画素電極、補助ゲートパッド及び補助データパッドを形成する。



## 【特許請求の範囲】

【請求項1】基板上部にアルミニウム系列の金属で配線を形成する段階と、

前記配線を覆う絶縁膜を積層する段階と、

前記絶縁膜をパターンニングして前記配線を露出する接触孔を形成する段階と、

前記配線と電気的に接続され、IZOからなる導電層を形成する段階と、を含む配線の接触構造形成方法。

【請求項2】前記絶縁膜は窒化ケイ素である請求項1に記載の配線の接触構造形成方法。

【請求項3】前記絶縁膜を積層する段階は、280～400℃の温度範囲で実施する請求項1に記載の配線の接触構造形成方法。

【請求項4】前記絶縁膜を積層する段階は、5～40分間の範囲で実施する請求項3に記載の配線の接触構造形成方法。

【請求項5】前記接触孔は0.5mm×1.5μm～2mm×6.0μmの範囲で形成する請求項1に記載の配線の接触構造形成方法。

【請求項6】前記接触孔において連結される前記アルミニウム系列の金属と前記IZOとの接触抵抗は、前記配線の配線抵抗の10%以下である請求項1に記載の配線の接触構造形成方法。

【請求項7】前記接触抵抗は0.15Ω・cm<sup>2</sup>以下である請求項6に記載の配線の接触構造形成方法。

【請求項8】基板上部にアルミニウム系列の金属からなる配線と、

前記配線を覆っており、前記配線の一部を露出する接触孔を有する絶縁膜と、

前記絶縁膜の上部に形成されて前記接触孔を通じて前記配線と連結されており、IZOからなる導電層と、を含む配線の接触構造。

【請求項9】前記接触孔の面積は0.5mm×1.5μm～2mm×6.0μmの範囲である請求項8に記載の配線の接触構造。

【請求項10】前記絶縁膜は窒化ケイ素からなる請求項8に記載の配線の接触構造。

【請求項11】前記接触孔において連結される前記IZOと前記アルミニウム系列の金属との接触抵抗は、前記配線の配線抵抗に対して10%以下である請求項8に記載の配線の接触構造。

【請求項12】前記接触抵抗は0.15Ω・cm<sup>2</sup>以下である請求項11に記載の配線の接触構造。

【請求項13】アルミニウム系列の金属を積層しパターンニングすることによりゲートパッドを含むゲート配線を形成する段階と、

データ配線を形成する段階と、

半導体層を形成する段階と、

前記ゲート配線を覆うゲート絶縁膜を形成する段階と、前記ゲート絶縁膜をパターンニングして前記ゲートパッド

を露出する接触孔を形成する段階と、

IZOを積層しパターンニングすることにより、前記接触孔を通じて前記ゲートパッドと電気的に接続される導電層を形成する段階と、を含む薄膜トランジスタ基板の製造方法。

【請求項14】前記ゲート絶縁膜は窒化ケイ素である請求項13に記載の薄膜トランジスタ基板の製造方法。

【請求項15】前記ゲート絶縁膜を形成する段階は280～400℃範囲で実施する請求項14に記載の薄膜トランジスタ基板の製造方法。

【請求項16】前記IZOは、In<sub>2</sub>O<sub>3</sub>及びZnOを含む膜を用いてスパッタリング方法で形成する請求項13に記載の薄膜トランジスタ基板の製造方法。

【請求項17】前記ZnOの含有量は15～20at%の範囲である請求項16に記載の薄膜トランジスタ基板の製造方法。

【請求項18】前記導電層を形成する段階において、前記データ配線と連結される直素電極を形成する段階をさらに含む請求項13に記載の薄膜トランジスタ基板の製造方法。

【請求項19】絶縁基板の上にアルミニウム系列の金属としてゲート線、前記ゲート線と連結されているゲート電極及び前記ゲート線と連結されているゲートパッドを含むゲート配線を形成する段階と、ゲート絶縁膜を積層する段階と、半導体層を形成する段階と、

導電物質を積層しパターンニングすることにより、前記ゲート線と交差するデータ線、前記データ線と連結されており前記ゲート電極に隣接するソース電極及び前記ゲート電極に対して前記ソース電極の対向側に位置するドレーン電極を含むデータ配線を形成する段階と、保護膜を積層する段階と、

前記ゲート絶縁膜とともに前記保護膜をパターンニングして前記ゲートパッドを露出する接触孔を形成する段階と、

IZOを積層しパターンニングすることにより、前記接触孔を通じて前記ゲートパッドと連結される補助ゲートパッドを形成する段階と、を含む薄膜トランジスタ基板の製造方法。

【請求項20】前記補助ゲートパッドを形成する段階において、前記ドレーン電極と連結される直素電極をさらに形成する請求項19に記載の薄膜トランジスタ基板の製造方法。

【請求項21】前記データ配線は前記データ線に連結されているデータパッドをさらに含み、前記補助ゲートパッドを形成する段階において、前記ゲートパッドと連結される補助データパッドをさらに形成する請求項19に記載の薄膜トランジスタ基板の製造方法。

【請求項22】前記ゲート絶縁膜及び前記保護膜積層段

階を280～400℃の温度範囲で実施する請求項19に記載の薄膜トランジスタ基板の製造方法。

【請求項23】前記ゲート絶縁膜及び前記保護膜を窒化ケイ素で形成する請求項19に記載の薄膜トランジスタ基板の製造方法。

【請求項24】前記IZOは、 $\text{In}_2\text{O}_3$ 及び $\text{ZnO}$ を含む標的を用いてスパッタリング方法で形成する請求項19に記載の薄膜トランジスタ基板の製造方法。

【請求項25】前記ZnOの含有量は15～20at%の範囲である請求項24に記載の薄膜トランジスタ基板の製造方法。

【請求項26】前記データ配線及び前記半導体層は、部分的に厚さが異なる感光膜パターンを用いた写真エッチング工程で一緒に形成する請求項19に記載の薄膜トランジスタ基板の製造方法。

【請求項27】前記感光膜パターンは、第1厚さを有する第1部分、前記第1厚さより厚い第2部分、前記第1厚さより薄い前記第1及び第2部分を除いた第3部分を含む請求項26に記載の薄膜トランジスタ基板の製造方法。

【請求項28】前記写真エッチング工程において前記感光膜パターンは、第1領域と前記第1領域より低い透過率を有する第2領域及び前記第1領域より高い透過率を有する第3領域を含む光マスクを用いて形成する請求項27に記載の薄膜トランジスタ基板の製造方法。

【請求項29】前記写真エッチング工程において前記第1部分は前記ソース電極と前記ドレイン電極との間、前記第2部分は前記データ配線の上に位置するように形成する請求項28に記載の薄膜トランジスタ基板の製造方法。

【請求項30】前記第1領域の透過率が異なるように調節するために、前記光マスクには半透明膜または露光器の分解能より小さなスリットパターンが形成されている請求項28に記載の薄膜トランジスタ基板の製造方法。

【請求項31】前記第1部分の厚さは前記第2部分の厚さに対して1/2以下に形成する請求項27に記載の薄膜トランジスタ基板の製造方法。

【請求項32】前記半導体層と前記データ配線との間に抵抗性接触層を形成する段階をさらに含む請求項19に記載の薄膜トランジスタ基板の製造方法。

【請求項33】前記データ配線と前記接触層及び前記半導体層を一つのマスクを用いて形成する請求項32に記載の薄膜トランジスタ基板の製造方法。

【請求項34】絶縁基板の上にアルミニウム系列の金属で形成されており、ゲートパッドを含むゲート配線と、前記ゲート配線を覆うゲート絶縁膜と、前記ゲート絶縁膜の上部に形成されている半導体層と、前記ゲート絶縁膜の上部に導電物質で形成されており、データ線と、前記データ線と連結されており前記ゲート

電極に隣接するソース電極及び前記ゲート電極に対して前記ソース電極の対向側に位置するドレイン電極を含むデータ配線と、

前記データ配線を覆っている保護膜と、  
IZOからなっており、前記ゲート絶縁膜または前記保護膜に形成されている接触孔を通じて前記ゲートパッドと連結されている補助ゲートパッドと、を含む薄膜トランジスタ基板。

【請求項35】前記補助ゲートパッドと同一の層に前記IZOで形成されており、前記ドレイン電極と連結されている画素電極をさらに含む請求項34に記載の薄膜トランジスタ基板。

【請求項36】前記データ配線は前記データ線に連結されているデータパッドをさらに含み、前記補助ゲートパッドと同一の層に前記IZOで形成されており、前記データパッドと連結されている補助ゲートパッドをさらに含む請求項34に記載の薄膜トランジスタ基板。

【請求項37】前記ゲート絶縁膜及び前記保護膜は窒化ケイ素からなる請求項34に記載の薄膜トランジスタ基板。

【請求項38】前記補助ゲートパッドは前記保護膜の上部に形成されている請求項34に記載の薄膜トランジスタ基板。

【請求項39】前記接触孔において連結されるIZOと前記アルミニウム系列との接触抵抗は、前記ゲート配線の配線抵抗の10%以下である請求項34に記載の薄膜トランジスタ基板。

【請求項40】前記接触抵抗は $0.15\Omega\cdot\text{cm}^2$ 以下である請求項39に記載の薄膜トランジスタ基板。

【請求項41】前記接触孔の面積は $0.5\text{mm}\times 15\mu\text{m}\sim 2\text{mm}\times 60\mu\text{m}$ の範囲で形成されている請求項34に記載の薄膜トランジスタ基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線の接触構造及びその形成方法並びにこれを含む薄膜トランジスタ基板及びその製造方法に係わる。

【0002】

【従来の技術】一般に、半導体装置における配線は信号が伝達される手段として用いられるため、信号遅延の最少化が要求される。

【0003】前記の信号遅延を防止するために配線は、低抵抗を有する金属物質、特にアルミニウム(Al)またはアルミニウム合金(Al alloy)などのようなアルミニウム系列の金属物質を使用するのが一般的である。しかしながら、アルミニウム系列の配線は物理的または化学的特性が弱いため接触部で他の導電物質と連結される際に腐食してしまい、半導体素子の特性を低下させるという問題点を有している。特に、液晶表示装置のように

パッド部でITO(indium tin oxide)を使用してアルミニウムを補強する場合、アルミニウムまたはアルミニウム合金とITOとの接触特性がよくないため他の金属を介在することもあるが、多層の配線を形成するためには互いに異なるエッチング液が必要であるだけでなく、多数回のエッチング工程が必要となるために製造工程が複雑となる。

【0004】一方、液晶表示装置を製造する方法において薄膜トランジスタが形成されている基板はマスクを用いた写真エッチング工程を通じて製造するのが一般的である。この際、生産費用を減らすためにはマスクの枚数を減少させることが好ましい。

【0005】

【発明が解決しようとする課題】本発明がなそうとする技術的課題は、低抵抗物質からなると同時に低抵抗の接触特性を有する配線の接触構造及びその形成方法を提供することである。

【0006】本発明の他の課題は、優れた接触特性を有する配線の接触構造を含む薄膜トランジスタ基板及びその製造方法を提供することである。

【0007】なお、本発明の他の課題は、薄膜トランジスタ基板の製造方法を単純化することである。

【0008】

【課題を解決するための手段】このような問題点を解決するために本発明では、アルミニウム系列の金属からなる配線と連結される導電層をIZO(indium zinc oxide)で形成する。

【0009】本発明による配線の接触構造形成方法は、まず基板上部にアルミニウム系列の金属で配線を形成し、配線を覆う絶縁膜を積層する。次に、絶縁膜をパターニングして配線の上部に露出する接触孔を形成し、配線と電氣的に連結される導電層をIZOで形成する。

【0010】この時、絶縁膜としては窒化ケイ素を使用することができ、280～400℃の温度範囲で5～40分間のアニーリング(annealing)工程が含まれるように積層することが好ましい。

【0011】このような配線の接触構造及びその形成方法は薄膜トランジスタ基板の製造方法にも適用することができる。

【0012】まず、アルミニウム系列の金属膜でゲートパッドを含むゲート配線を形成し、これを覆うゲート絶縁膜を形成する。続いて半導体層及びデータ配線を形成し、絶縁膜をパターニングしてゲートパッドを露出する接触孔を形成する。その後、接触孔を通じてゲートパッドと連結される導電層をIZOで形成する。

【0013】この時、絶縁膜は窒化ケイ素で形成するのが好ましく、280～400℃の温度範囲で5～40分の間積層することが好ましい。

【0014】さらに詳しくは、基板の上にアルミニウム系列の金属膜を積層しパターニングしてゲート線、ゲート

線に連結されているゲート電極及びゲート線に連結されているゲート線に伝達するゲートパッドを含むゲート配線を形成し、ゲート絶縁膜を積層する。次に、ゲート絶縁膜の上部に半導体層を形成し、その上部に導電物質を積層しパターニングすることにより、ゲート線と交差するデータ線、データ線と連結されておりゲート電極に隣接するソース電極及びゲート電極に対してソース電極の対向側に位置するドレーン電極を含むデータ配線を形成する。その後保護膜を積層しパターニングしてゲートパッドを露出する第1接触孔を形成し、保護膜の上部に第1接触孔を通じてゲートパッドと電氣的に連結される補助ゲートパッドを含む導電層パターンを形成する。

【0015】ここでゲート絶縁膜または保護膜は280～400℃の温度範囲で積層することが好ましく、窒化ケイ素で形成することができる。

【0016】導電層パターンはIZOで形成することができる。

【0017】ここでデータ配線はデータ線に連結されているデータパッドをさらに含み、保護膜はドレーン電極及びデータパッドを露出する第2及び第3接触孔を有し、補助ゲートパッドと同一の層に第2及び第3接触孔を通じてドレーン電極及びデータパッドと電氣的に連結される画素電極及び補助データパッドをさらに形成することができる。

【0018】データ配線及び半導体層は部分的に厚さが異なる感光膜パターンを用いた写真エッチング工程で一緒に形成することができ、感光膜パターンは、第1厚さを有する第1部分、第1厚さより厚い第2部分、第1厚さより薄くとも第1及び第2部分を除いた第3部分を含むことが好ましい。

【0019】写真エッチング工程において感光膜パターンは、第1領域、前記第1領域より低い透過率を有する第2領域及び前記第1領域より高い透過率を有する第3領域を含む光マスクを用いて形成することができ、写真エッチング工程において第1部分はソース電極とドレーン電極との間、第2部分はデータ配線の上部に位置するように形成することが好ましい。

【0020】第1～第3領域の透過率を異なるように調節するために、光マスクには半透明膜または露光器の分解能より小さなスリットパターンを形成することができ、第1部分の厚さは第2部分の厚さに対して1/2以下に形成することが好ましい。

【0021】なお、半導体層とデータ配線との間に抵抗性接触層を形成する段階をさらに含むことができ、データ配線と抵抗性接触層及び半導体層を一つのマスクを使用して形成することができる。

【0022】

【発明の実施の形態】以下、添付した図面を参考にして本発明の実施例による配線の接触構造及びその形成方法並びにこれを含む薄膜トランジスタ基板及びその製造

方法について、本発明の属する技術分野において通常の知識を有する者が容易に実施することができるように詳細に説明する。

【0023】半導体装置、特に信号を伝達する配線としては、信号の遅延を最小化するために $1.5\mu\text{m}$ 以下で低い比抵抗を有するアルミニウム系列の金属物質が適している。この時、配線は外部から信号を受けたり、外部に信号を伝達するために他の導電層と連結されなければならないが、製造過程で他の導電物質と接触する際に容易に腐食されてはいけぬ。このために本発明の実施例による配線の接触構造及び形成方法では、まず、基板の上部に低抵抗を有するアルミニウムまたはアルミニウム合金からなるアルミニウム系列の金属層の配線を形成し、配線を覆う絶縁膜を積層する。次に、絶縁膜をパターニングして配線の上部に接触孔を形成し、接触孔を通じて配線と電気的に連結される導電層をIZOで形成する。このようなIZOとアルミニウム系列の配線を含む接触構造では腐食が発生しない。この時、接触構造における接触抵抗は配線の抵抗に対して10%以下であり $0.15\Omega\cdot\text{cm}^2$ 以下であるのが好ましく、接触孔の面積は $2\text{mm}\times60\mu\text{m}$ を越えない $0.5\text{mm}\times15\mu\text{m}$ 以上で形成することが好ましい。

【0024】また、絶縁膜は窒化ケイ素を使用することができ、 $280\sim400^\circ\text{C}$ 程度の温度範囲で $5\sim40$ 分程度の間積層することが好ましく、IZOを形成する程度には、 $\text{In}_2\text{O}_3$ とZnOを含んで少なくともZnの含有量が15~20at% (atomic percentage) の範囲の標的を使用するスパッタリング(sputtering)工程で薄膜を形成することが好ましい。ここで、at%は $[\text{Zn}/(\text{Zn}+\text{In})]\times100$ を意味し、酸素成分を含める場合もあり、そうでないこともある。

【0025】ここで、配線の接触構造は薄膜トランジスタアレイ(array)基板に形成されている配線の接触構造として用いることができる。

【0026】このような本発明による液晶表示装置用薄膜トランジスタ基板及び形成方法について、図面を参照して詳細に説明する。

【0027】まず、図1及び図2を参照して本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板の構造について説明する。

【0028】図1は本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板であり、図2は図1に示した薄膜トランジスタ基板をII-II線に沿って切断して示した断面図である。

【0029】基板10上に低抵抗を有するアルミニウム系列の金属物質からなるゲート配線を形成されている。ゲート配線は、横方向に延びているゲート線22、ゲート線22の末端に連結されていて外部からのゲート信号の印加を受けてゲート線に伝達するゲートパッド24及びゲート線22に連結されている薄膜トランジスタの

ゲート電極26を含む。

【0030】基板10の上には窒化ケイ素( $\text{SiN}_x$ )などからなるゲート絶縁膜30がゲート配線22、24、26を覆っている。

【0031】ゲート電極26のゲート絶縁膜30の上部には非晶質ケイ素などの半導体からなる半導体層40が島の形状に形成されており、半導体層40の上部にはシリサイドまたはn型不純物が高濃度でドーピングされているn+水素化非晶質ケイ素などの物質で作られた抵抗性接触層55、56が各々形成されている。

【0032】抵抗性接触層55、56及びゲート絶縁膜30の上にはモリブデン(Mo)またはモリブデン-タンタム(Ta)合金、クロム(Cr)、タンタル(Ta)、チタニウム(Ti)などの金属からなるデータ配線62、65、66、68が形成されている。データ配線は、縦方向に形成されてゲート線22と交差して画素を定義するデータ線62、データ線62の分枝であり抵抗性接触層55の上部まで延びているソース電極65、データ線62の一端部に連結されており外部からの画像信号の印加を受けるデータパッド68、ソース電極65と分離されておりゲート電極26に対してソース電極65の反対側抵抗性接触層56の上部に形成されているドレイン電極66を含む。

【0033】ここで、データ配線62、65、66、68を二重層以上で形成する場合には、一層は抵抗の小さいアルミニウム系列の導電物質で形成し他層は他の物質との接触特性が良い物質で作ることが好ましい。その例としては、Cr/A1 (またはA1合金) またはA1/Moなどを挙げることができる。

【0034】データ配線62、65、66、68及びこれらが覆れない半導体層40の上部には、窒化ケイ素からなる保護膜70が形成されている。

【0035】保護膜70にはドレイン電極66及びデータパッド68を各々露出する接触孔76、78が形成されており、ゲート絶縁膜30とともにゲートパッド24を露出する接触孔74が形成されている。この時、パッド24、68を露出する接触孔74、78は角を有する形状や円形などの多様な模様で形成することができ、面積は $2\text{mm}\times60\mu\text{m}$ を越えない $0.5\text{mm}\times15\mu\text{m}$ 以上であることが好ましい。

【0036】保護膜70の上には、接触孔76を通じてドレイン電極66と電気的に連結されており画素に位置する画素電極82が形成されている。また、保護膜70の上には接触孔74、78を通じて各々ゲートパッド24及びデータパッド68と連結されている補助ゲートパッド86及び補助データパッド88が形成されている。ここで、画素電極82と補助ゲート及びデータパッド86、88はIZOからなる。

【0037】このような本発明の第1実施例による薄膜トランジスタアレイ基板は、アルミニウム系列の金属

からなるゲートパッド24とIZOからなる補助ゲートパッド86との接触構造を有する。この時、接触構造の接触抵抗はゲート配線22、24、26の配線抵抗に対して10%以下となるように形成し、 $0.15\Omega\cdot\text{cm}^2$ 以下であることが好ましい。14.1インチの液晶パネルを製作するにおいてパッド部の接触抵抗は $0.05\sim 0.1\Omega\cdot\text{cm}^2$ の範囲で設計する。

【0038】ここで、画素電極82は図1及び図2のように、ゲート線22と重なって維持蓄電器を成し、維持容量が不足した場合にはゲート配線22、24、26と同一の層に維持容量用配線を追加することもできる。また、IZOパターン82、86、88を保護膜70より先に形成することができ、データ配線62、65、66、68より先に形成することもできる。

【0039】このような本発明の実施例による構造では、ゲート配線22、24、26が低抵抗を有するアルミニウム系列からなっているため大画面高精細の液晶表示装置に適用することができ、またパッド部の接触抵抗を最小化することができ、アルミニウム系列の金属が腐食されるのを防止することによってパッド部を含む接触部の信頼性を確保することができる。

【0040】それでは、このような本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板の製造方法について、図1及び図2と図3〜図10を参照して詳細に説明する。

【0041】まず、図3及び図4に示したように、基板10の上に低抵抗を有するアルミニウム系列の金属のうち2at%のNdを含むAl-Ndの標的(target)を用いて2500Å程度の厚さで150℃程度でスパッタリングで導電膜を積層しパターンニングすることにより、ゲート線22、ゲート電極26及びゲートパッド24を含む横方向のゲート配線を形成する。

【0042】その後、図5及び図6に示したように窒化ケイ素からなるゲート絶縁膜30、非晶質ケイ素からなる半導体層40、ドーピングされた非晶質ケイ素層(抵抗性接触層)50の3階層を連続して積層し、マスクを利用したパターンニング工程で半導体層40とドーピングされた非晶質ケイ素層50とをパターンニングして、ゲート電極24と対向するゲート絶縁膜30の上部に島の形状の半導体層40と抵抗性接触層50を形成する。ここで、ゲート絶縁膜30は300℃以上の370℃程度の温度で4500Å程度の厚さになるよう5分以上の間積層した。また、ゲート絶縁膜30を積層する際、工程中にゲート配線22、24、26の上部に残留し高抵抗を有するアルミニウム酸化膜の一部または全部が除去される。なお、ゲート絶縁膜30を蒸着する前にアルミニウム系列の金属膜22、24、26の上部に $\text{Al}_2\text{O}_3$ が形成されるのを防止するために水素、ヘリウムまたはアルゴンを含むプラズマを用いて洗浄工程をインシチュア(in-situ)で実施することが好ましい。

【0043】次に、図7および図8に示したようにクロム、モリブデン、モリブデン合金、チタニウム、タンタルなどからなる金属膜を積層した後、マスクを利用した写真工程でパターンニングすることにより、ゲート線22と交差するデータ線62、データ線62と連結されゲート電極26の上部まで延びているソース電極65、データ線62が一端部に連結されているゲートパッド68及びソース電極64と分離されておりゲート電極26を中心としてソース電極65と対向するドレーン電極66を含むデータ配線を形成する。

【0044】その後、データ配線62、65、66、68で遮られないドーピングされた非晶質ケイ素層パターン50をエッチングしてゲート電極26を中心として両側に分離させる一方、両側のドーピングされた非晶質ケイ素層55、56の間の半導体層パターン40を露出させる。また、露出された半導体層40の表面を安定化させるために酸素プラズマ処理を実施することが好ましい。

【0045】次に、図9及び図10のように窒化ケイ素のような無機絶縁膜を積層して保護膜70を形成する。この時、保護膜70は280℃程度の温度範囲で、200Å程度の厚さで形成しており、この時にアルミニウム系列の金属膜22、24、26の表面に残留する高抵抗を有するアルミニウム酸化膜の一部または全部が除去される。もちろん、データ配線62、65、66、68がアルミニウム系列の金属を含む場合にも同一の結果が得られる。その後、マスクを利用した写真エッチング工程でゲート絶縁膜30とともにパターンニングすることにより、ゲートパッド24、ドレーン電極66及びゲートパッド68を露出する接触孔74、76、78を形成する。ここで、接触孔74、76、78は角を有する模様または円形の模様で形成することができ、パッド24、68を露出する接触孔74、78の面積は $2\text{mm}\times 60\mu\text{m}$ を越えない $0.5\text{mm}\times 15$ 以上であることが好ましい。

【0046】最後に、図1及び図2に示したようにIZO膜を500Å程度の厚さで積層しマスクを利用したパターンニングを実施することにより、接触孔76を通じてドレーン電極66と連結される画素電極82と接触孔74、78を通じてゲートパッド24及びゲートパッド68と各々連結される補助ゲートパッド86及び補助ゲートパッド88を各々形成する。IZOを積層する前の予熱(pre-heating)工程で使用する気体は、接触孔74、76、78を露出された金属膜24、66、68の上部に金属酸化膜が形成されるのを防止するために窒素を使用することが好ましい。本発明の実施例において接触部の接触抵抗を最小化するためにはIZOを常温で200℃以下の範囲で積層することが好ましく、IZOの薄膜を形成するために用いられる標的は $\text{In}_2\text{O}_3$ 及びZnOを含むことが好ましく、Znの含有量は15〜20a

と%の範囲の標的を用いることが好ましい。本発明の実施例でIZO膜82、86、88を形成するための標的は、イデミツ (idenitsu) 社のIDIXO (indium x-metal oxide) という商品を使用した。ここでIZOを蒸着する前にアルミニウム系列の金属膜24の上部にAlO<sub>3</sub>が形成されるのを防止するために、水素、ヘリウムまたはアルゴンを含むプラズマを用いて洗浄工程をインシチュア (in-situ) で実施することが好ましい。

【0047】このような本発明の実施例による製造方法では、IZO膜を積層する前にIZOとアルミニウム系列の金属との間の接触特性を向上させるために絶縁膜30、70を積層する際にアニーリング工程が含まれるようにすることにより、パッド部を含んだ接触部の接触抵抗を最小化して接触部の信頼性を確保することができる。

【0048】このような方法は、前に説明したように5枚のマスクを用いる製造方法に適用することができるが、4枚のマスクを用いる液晶表示装置用薄膜トランジスタ基板の製造方法においても同一に適用することができる。これについては図面を参照して詳細に説明することにする。

【0049】まず、図11～図13を参照して本発明の実施例による4枚のマスクを用いて完成された液晶表示装置用薄膜トランジスタ基板の単位画素構造について詳細に説明する。

【0050】図11は本発明の第2実施例による液晶表示装置用薄膜トランジスタ基板の配置図であり、図12及び図13は各々図11に示した薄膜トランジスタ基板をXII-XII'線及びXIII-XIII'線に沿って切断して示した断面図である。

【0051】まず、基板10の上に第1実施例と同一にアルミニウム系列の金属からなるゲート線22、ゲートパッド24及びゲート電極26を含むゲート配線が形成されている。そして、ゲート配線は基板10の上部にゲート線22と平行しており、上板の共通電極に入力される共通電極電圧などの電圧を外部から印加される維持電極28を含む。維持電極28は後述する画素電極82と連結された維持蓄電器用導電体パターン64と重なって画素の電荷保存能力を向上させる維持蓄電器を構成し、後述する画素電極82とゲート線22との重なりによって発生する維持容量が十分である場合は形成しないこともある。

【0052】ゲート配線22、24、26、28の上には窒化ケイ素SiN<sub>2</sub>などからなるゲート絶縁膜30が形成され、ゲート配線22、24、26、28を覆っている。

【0053】ゲート絶縁膜30の上には水素化非晶質ケイ素 (hydrogenated amorphous silicon) などの半導体からなる半導体パターン42、48が形成されており、半導体パターン42、48の上には燐 (P) などのn型

不純物で高濃度にドーピングされている非晶質ケイ素などからなる抵抗性接触層 (ohmic contact layer) パターンまたは中間層パターン55、56、58が形成されている。

【0054】抵抗性接触層パターン55、56、58の上には、クロムまたはモリブデンまたはモリブデン合金またはタンタルまたはチタニウムなどの金属からなるデータ配線が形成されている。データ配線は、縦方向に形成されているデータ線62、データ線62の一端部に連結されて外部からの画像信号の印加を受けるデータパッド68、そしてデータ線62の分枝である薄膜トランジスタのソース電極65からなるデータ線部を含み、また、データ線部62、68、65と分離されておりゲート電極26または薄膜トランジスタのチャンネル部Cに対してソース電極65の反対側に位置する薄膜トランジスタのドレイン電極66と維持電極28の上に位置している維持蓄電器用導電体パターン64も含む。維持電極28を形成しない場合には維持蓄電器用導電体パターン64もまた形成しない。

【0055】データ配線62、64、65、66、68はクロムまたはモリブデンまたはモリブデン合金またはタンタルまたはチタニウムからなる導電膜とアルミニウム系列の金属からなる導電膜とを含む二重膜で形成することもできる。

【0056】抵抗性接触層パターン55、56、58はその下部の半導体パターン42、48とその上部のデータ配線62、64、65、66、68の接触抵抗を下げる役割を果たし、データ配線62、64、65、66、68と完全に同一な形態を有する。つまり、データ線部中間層パターン55はデータ線部62、68、65と同一であり、ドレイン電極用中間層パターン56はドレイン電極66と同一であり、維持蓄電器用中間層パターン58は維持蓄電器用導電体パターン64と同一である。

【0057】一方、半導体パターン42、48は薄膜トランジスタのチャンネル部Cを除けばデータ配線62、64、65、66、68及び抵抗性接触層パターン55、56、58と同一な模様をしている。具体的には、維持蓄電器用半導体パターン48と維持蓄電器用導電体パターン64及び維持蓄電器用中間層パターン58は同一な模様であるが、薄膜トランジスタ用半導体パターン42はデータ配線及び接触層パターンの残り部分と多少異なる。つまり、薄膜トランジスタのチャンネル部Cにおいてデータ線部62、68、65、特に、ソース電極65とドレイン電極66とが分離されており、データ線部中間層55とドレイン電極用中間層パターン56とも分離されているが、薄膜トランジスタ用半導体パターン42はここで切れずに連結されて薄膜トランジスタのチャンネルを生成する。

【0058】データ配線62、64、65、66、68の上には窒化ケイ素からなる保護膜70が形成されてい



る。

【0059】保護膜70は、ドレーン電極66、データパッド68及び維持電器用導電体パターン64を露出する接触孔76、78、72を有しており、またゲート絶縁膜30とともにゲートパッド24を露出する接触孔74を有している。

【0060】保護膜70の上には薄膜トランジスタから画像信号を受けて上部の基板の電極とともに電場を生成する画素電極82が形成されている。画素電極82はIZOなどの透明な導電物質で作られ、接触孔76を通じてドレーン電極66と物理的・電気的に連結されて画像信号の伝達を受ける。画素電極82はまた隣接するゲート線22及びデータ線62と重なって開口率を高めているが、重ならないこともある。また、画素電極82は接触孔72を通じて維持電器用導電体パターン64とも連結され、維持電器用導電体パターン64に画像信号を伝達する。

【0061】以下に、ゲートパッド24及びデータパッド68の上には接触孔74、78を通じて各々これらと連結される補助ゲートパッド86及び補助データパッド88が形成されており、これらはパッド24、68と外部回路装置との接着性を補完しパッドを保護する役割を果たすものであり、必須なものではなくこれらを適用する可否が選択による。

【0062】それでは、図11～図13の構造を有する液晶表示装置用薄膜トランジスタ基板を4枚のマスクを用いて製造する方法について、図11～図13と図14～図32を参照して詳細に説明する。

【0063】まず、図14～図16に示したように、第1実施例と同様にアルミニウム系列の金属のうち2at%のNdを含むAl-Ndからなる標的を150℃の温度範囲で2500Å程度の厚さでスパッタリングして導電膜を積層し、マスクを利用した写真エッチング工程で基板10の上にゲート線22、ゲートパッド24、ゲート電極26及び維持電極28を含むゲート配線を形成する。

【0064】次に、図17及び図18に示したように窒化ケイ素からなるゲート絶縁膜30、半導体層40、中間層50を化学気相蒸着法を用いて各々1500Å～5000Å、500Å～2000Å、300Å～600Åの厚さで連続蒸着し、続いて、クロムからなる金属膜を含む導電層60をスパッタリングなどの方法で1500Å～3000Åの厚さで蒸着した後、その上に感光膜110を1μm～2μmの厚さで塗布する。この場合にもゲート絶縁膜30は370℃程度で5分以上の間4500Å程度の厚さに積層する。このゲート絶縁膜30を積層する時、製造工程中でゲート配線22、24、26の上部に残留し高抵抗を有するアルミニウム酸化物の一部または全部が除去され得る。また、ゲート絶縁膜30を蒸着する前にアルミニウム系列の金属膜22、24、

26の上部にAl<sub>2</sub>O<sub>3</sub>が形成されるのを防止するために、水素、ヘリウムまたはアルゴンを含むプラズマを用いて洗浄工程をインシチュア（in-situ）で実施することが好ましい。

【0065】その後、マスクを通じて感光膜110に光を照射した後に現像して、図20及び図21に示したように感光膜パターン112、114を形成する。

【0066】この時、感光膜パターン112、114の薄膜トランジスタのチャンネル部C、つまり、ソース電極65とドレーン電極66との間に位置した第1部分114は、データ配線部A、すなわち、データ配線62、64、65、66、68が形成される部分に位置した第2部分112より厚さが小さくなるようにし、その他の部分Bの感光膜は全て除去する。この時、チャンネル部Cに残っている感光膜114の厚さとデータ配線部Aに残っている感光膜112との厚さの比は後述するエッチング工程での工程条件に応じて異なるようにしなければならぬが、第1部分114の厚さを第2部分112の厚さの1/2以下とすることが好ましく、例えば4000Å以下であることが好ましい。

【0067】このように位置によって感光膜の厚さを異にする方法には多様なものがあり、A領域の光透過量を調節するために、主にスリット（slit）や格子形態のパターンを形成したり半透明膜を使用する。

【0068】この時、スリットの間に位置したパターンの縁部やパターン間の間隔、つまり、スリットの幅は露光時に使用する露光機の分解能より小さいのが好ましく、半透明膜を用いる場合には、マスクを製作する時の透過率を調節するために他の透過率を有する薄膜を用いたり厚さが異なる薄膜を用いることができる。

【0069】このようなマスクを通じて感光膜に光を照射すれば、光に直接露出される部分では高分子が完全に分解され、スリットパターンや半透明膜が形成されている部分では光の照射量が少いため高分子は完全に分解されない状態であり、遮光膜で遮られた部分では高分子がほとんど分解されない。続いて感光膜を現像すれば高分子の分子が分解されなかった部分のみが残り、光が少なく照射された中央部分には光に全く照射されなかった部分より薄い厚さの感光膜が残ることができる。この時、露光時間を長くすると全ての分子が分解されてしまうので、注意しなければならない。

【0070】このような薄い厚さの感光膜114はリフローが可能な物質からなる感光膜を利用し、光が完全に透過できる部分と光が完全に透過できない部分とに分けられた通常のマイクド露光した後に現像しリフローさせて、感光膜が残留しない部分に感光膜の一部を流れさせることによって形成することもできる。

【0071】次に、感光膜パターン114及びその下部の膜、つまり、導電層60、中間層50及び半導体層40に対するエッチングを行う。この時、データ配線部

Aにはデータ配線及びその下部の膜がそのまま残っており、チャンネル部Cには半導体層のみが残っており、残りの部分Bには前記の3個層60、50、40が全て除去されてゲート絶縁膜30が露出されなければならない。

【0072】まず、図2及び図23に示したようにその他の部分Bの露出されていた導電体層60を除去してその下部の中間層50を露出させる。この過程では乾式エッチングまたは湿式エッチング方法を全て使用することができ、この時の導電体層60はエッチングされ感光膜パターン112、114はほとんどエッチングされない条件下で行うことが好ましい。しかしながら、乾式エッチングの場合、導電体層60だけがエッチングされ感光膜パターン112、114はエッチングされないという条件は探すのが難しいため、感光膜パターン112、114も一緒にエッチングされる条件下で行うことができる。この場合には湿式エッチングの場合より第1部分114の厚さを厚くして、この過程で第1部分114が除去されて下部の導電体層60が露出されないようにする。

【0073】導電体層60がMoまたはMo合金、AlまたはAl合金、Taのうちのいずれか一つである場合には、乾式エッチングや湿式エッチングのどちらでも可能である。しかし、Cは乾式エッチング方法ではよく除去されないため、導電体層60がCrであれば湿式エッチングだけを用いることが好ましい。導電体層60がCrである湿式エッチングの場合にはエッチング液として $\text{CeNH}_4\text{O}_3$ を使用することができ、導電体層60がMoやMo合金である乾式エッチングの場合のエッチング気体としては $\text{CF}_4$ と $\text{HCl}$ の混合気体や $\text{CF}_4$ と $\text{O}_2$ の混合気体を使用することができ、後者の場合には感光膜に対するエッチング比もほとんど類似である。

【0074】このようにすれば図22及び図23に示したように、チャンネル部C及びデータ配線部Bの導電体層、つまり、ソース/ドレイン用導電体パターン67と維持蓄電器用導電体パターン64のみが残るその他の部分Bの導電体層60は全て除去されてその下部の中間層50が露出される。この時、残った導電体パターン67、64はソース及びドレイン電極65、66が分離されずに連結されている点を除けばデータ配線62、64、65、66、68の形態と同一である。また、乾式エッチングを使用した場合、感光膜パターン112、114もある程度の厚さでエッチングされる。

【0075】次に、図24及び図25に示したように、その他の部分Bの露出された中間層50及びその下部の半導体層40を、感光膜の第1部分114とともに乾式エッチング方法で同時に除去する。この時のエッチングは感光膜パターン112、114と中間層50及び半導体層40（半導体層と中間層はエッチング選択性がほとんどない）が同時にエッチングされゲート絶縁膜30は

エッチングされない条件下で行わなければならない。特に感光膜パターン112、114と半導体層40に対するエッチング比がほぼ同一な条件下でエッチングすることが好ましい。例えば、 $\text{SF}_6$ と $\text{HCl}$ の混合気体や $\text{SF}_6$ と $\text{O}_2$ の混合気体を使用すればほぼ同一な厚さで二つの膜をエッチングすることができる。感光膜パターン112、114と半導体層40に対するエッチング比が同一である場合、第1部分114の厚さは半導体層40と中間層50との厚さを合せたものと同一であるかそれより小さくしなければならない。

【0076】このようにすると図24及び図25に示したように、チャンネル部Cの第1部分114が除去されてソース/ドレイン用導電体パターン67が露出され、その他の部分Bの中間層50及び半導体層40が除去されてその下部のゲート絶縁膜30が露出される。一方、データ配線部Aの第2部分112もエッチングされるため厚さが等くなる。また、この段階で半導体パターン2、48が完成される。図面の符号57と58は各々ソース/ドレイン用導電体パターン67下部の中間層パターンと維持蓄電器用導電体パターン64下部の中間層パターンとを指す。

【0077】続いてアッシング (ashing) を通じてチャンネル部Cのソース/ドレイン用導電体パターン67表面に残っている感光膜のフズを除去する。

【0078】その後、図26及び図27に示したようにチャンネル部Cのソース/ドレイン用導電体パターン67及びその下部のソース/ドレイン用中間層パターン57をエッチングして除去する。この時、エッチングはソース/ドレイン用導電体パターン67と中間層パターン57の全てに対して乾式エッチングだけで進行することができ、ソース/ドレイン用導電体パターン67に対しては湿式エッチングで、中間層パターン57に対しては乾式エッチングで行うこともできる。前者の場合、ソース/ドレイン用導電体パターン67と中間層パターン57のエッチング選択比が大きい条件下でエッチングを行うことが好ましく、これはエッチング選択比が大きい場合にはエッチング終点を探すのが難しいため、チャンネル部Cに残る半導体パターン42の厚さを調節するのが容易でないためである。例えば、 $\text{SF}_6$ と $\text{O}_2$ の混合気体を使用してソース/ドレイン用導電体パターン67をエッチングすることが挙げられる。湿式エッチングと乾式エッチングとを交互に行う後者の場合には湿式エッチングされるソース/ドレイン用導電体パターン67の側面はエッチングされるが、乾式エッチングされる中間層パターン57はほとんどエッチングされないで段階模様で作られるようになる。中間層パターン57及び半導体パターン42をエッチングする時に使用するエッチング気体の例としては前記で言及した $\text{CF}_4$ と $\text{HCl}$ の混合気体や $\text{CF}_4$ と $\text{O}_2$ の混合気体を使用すれば均一な厚さで半導体パ

ターン42を残すことができる。この時、図27に示したように半導体パターン42の一部が除去されて厚さが薄くなる可能性もあり、この時感光膜パターンの第2部分112もある程度の厚さでエッチングされる。この時のエッチングはゲート絶縁膜30がエッチングされない条件で行わなければならない、第2部分112がエッチングされてその下部のデータ配線62、64、65、66、68が露出されないように、感光膜パターンが厚いことが好ましいのはもちろんである。

【0079】このようにすると、ソース電極65とドレーン電極66とが分離されるとともにデータ配線62、64、65、66、68とその下部の抵抗性接触層55、56、58が完成される。

【0080】最後にデータ配線部Aに残っていた感光膜の第2部分112を除去する。しかし、第2部分112の除去はチャンネル部Cのソース/ドレーン用導電体パターン67を除去した後、その下の中間層パターン57を除去する前に行われることもある。

【0081】前で説明したように、湿式エッチングと乾式エッチングとを交互に行ったり乾式エッチングだけを行うことができる。後者の場合には種類のエッチングだけを使用するため工程は比較的簡便であるが、適したエッチング条件を探すのが難しい。反面、前者の場合にはエッチング条件を探すのは比較的易しいが工程が後者に比べて面倒であるという点がある。

【0082】このようにしてデータ配線62、64、65、66、68を形成した後、図28及び図29に示したように窒化ケイ素をCVD方法を用いて280℃程度の温度で2000Å程度の厚さで蒸着して保護膜70を形成する。この場合にもアルミニウム系列の金属膜2、24、26の表面に製造工程時に形成された高抵抗なアルミニウム酸化膜の一部または全部が除去される。もちろん、データ配線62、65、66、68がアルミニウム系列の金属を含む場合にも同一な結果が得られる。続いて図30～図32に示したように、マスクを用いて保護膜70をゲート絶縁膜30と一緒にエッチングしてドレーン電極66、ゲートパッド24、データパッド68及び維持蓄電器用導電体パターン64を各々露出する接触孔76、74、78、72を形成する。この時、パッド24、68を露出する接触孔74、78の面積は2mm×60μmを超えない0.5mm×15μm以上であることが好ましい。

【0083】最後に、図12～図16に示したように、150℃程度の温度で400Å～500Åの厚さでIZO層を蒸着しマスクを用いてエッチングして、ドレーン電極66及び維持蓄電器用導電体パターン64と連結された画素電極82、ゲートパッド24と連結された補助ゲートパッド86及びデータパッド68と連結された補助データパッド88を形成する。この時、画素電極82、補助ゲートパッド86及び補助データパッド88の

IZOをバターニングするためのエッチング液はクロムCrの金属膜をエッチングするのに使用するクロムエッチング液を使用するが、これはアルミニウム系列の金属を腐食させないで接触構造で露出されたアルミニウム系列の金属が腐食されるのを防止することができ、エッチング液として(HNO<sub>3</sub>)/(NH<sub>4</sub>)<sub>2</sub>Ce(NO<sub>3</sub>)<sub>6</sub>/H<sub>2</sub>Oなどを挙げるができる。ここでもIZOを積層する前の予熱工程で使用する気体は、接触孔72、74、76、78を露出した金属膜24、64、66、68の上部に金属酸化膜が形成されるのを防止するために窒素を用いることが好ましい。また、接触部の接触抵抗を最少化するためにはIZOを常温で20℃以下の範囲で積層することが好ましく、IZO薄膜を形成するために用いられる標的はIn<sub>2</sub>O<sub>3</sub>及びZnOを含むことが好ましく、ZnOの含有量は15～20at%の範囲であることが好ましい。ここでもITOを蒸着する前にアルミニウム系列の金属膜24の上部にAl<sub>2</sub>O<sub>3</sub>が形成されるのを防止するために、水素、ヘリウムまたはアルゴンを含むプラズマを用いて洗浄工程をインシチューで実施することが好ましい。

【0084】このような本発明の第2実施例では、第1実施例による効果だけでなくデータ配線62、64、65、66、68とその下部の抵抗性接触層55、56、58及び半導体パターン42、48をつらのマスクを用いて形成し、この過程でソース電極65とドレーン電極66とが分離されることによって製造工程を単純化することができる。

#### 【0085】

【発明の効果】このように、本発明によれば接触部における接触抵抗を最少化することができパッド部を含んだ接触部の信頼性を確保することができる。また、低抵抗のアルミニウムまたはアルミニウム合金で配線を形成することにより大画面高精細の製品の特性を向上させることができる。なお、製造工程を単純化して液晶表示装置用薄膜トランジスタ基板を製造することにより、製造工程を単純化し製造費用を減らすことができる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板を示したものである。

【図2】図1に示した薄膜トランジスタ基板をII-II線に沿って切断して示した断面図である。

【図3】本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程で、その工程順序に従って示した薄膜トランジスタ基板の配置図である。

【図4】図3においてIV-IV'線に沿って切断した断面図である。

【図5】本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程で、その工程順序に従って示した薄膜トランジスタ基板の配置図であ

る。

【図6】図5においてVI-VI'線に沿って切断して示した図として、図4の次の段階を示した断面図である。

【図7】本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程を、その工程順序に従って示した薄膜トランジスタ基板の配置図である。

【図8】図7においてVIII-VIII'線に沿って切断して示した図として、図6の次の段階を示した断面図である。

【図9】本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程を、その工程順序に従って示した薄膜トランジスタ基板の配置図である。

【図10】図9においてX-X'線に沿って切断して示した図として、図8の次の段階を示した断面図である。

【図11】本発明の第2実施例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図12】図11に示した薄膜トランジスタ基板をXI-I-XII'線に沿って切断して示した断面図である。

【図13】図11に示した薄膜トランジスタ基板ををXIII-XIII'線に沿って切断して示した断面図である。

【図14】本発明の第2実施例によって製造する初めての段階での薄膜トランジスタ基板の配置図である。

【図15】図14においてXV-XV'線に沿って切断して示した断面図である。

【図16】図14においてXVI-XVI'線に沿って切断して示した断面図である。

【図17】図14においてXV-XV'線に沿って切断して示した断面図であって、図15の次の段階での断面図である。

【図18】図14においてXVI-XVI'線に沿って切断して示した断面図であって、図16の次の段階での断面図である。

【図19】図17及び図18の次の段階での薄膜トランジスタ基板の配置図である。

【図20】図19においてXX-XX'線に沿って切断して示した断面図である。

【図21】図19においてXXI-XXI'線に沿って切断して示した断面図である。

【図22】図19においてXX-XX'線に沿って切断して示した断面図であって、図20の次の段階を工程順序に従って示したものである。

【図23】図19においてXXI-XXI'線に沿って切断して示した断面図であって、図21の次の段階を工程順序に従って示したものである。

【図24】図19においてXX-XX'線に沿って切断して示した断面図であって、図20の次の段階を工程順序に

従って示したものである。

【図25】図19においてXXI-XXI'線に沿って切断して示した断面図であって、図21の次の段階を工程順序に従って示したものである。

【図26】図19においてXX-XX'線に沿って切断して示した断面図であって、図20の次の段階を工程順序に従って示したものである。

【図27】図19においてXXI-XXI'線に沿って切断して示した断面図であって、図21の次の段階を工程順序に従って示したものである。

【図28】図26の次の段階での薄膜トランジスタ基板の断面図である。

【図29】図27の次の段階での薄膜トランジスタ基板の断面図である。

【図30】図28及び図29の次の段階での薄膜トランジスタ基板の配置図である。

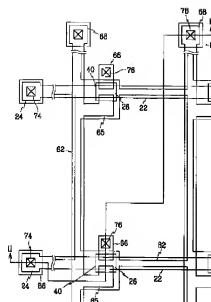
【図31】図30においてXXXI-XXXI'線に沿って切断して示した断面図である。

【図32】図30においてXXXI-XXXI'線に沿って切断して示した断面図である。

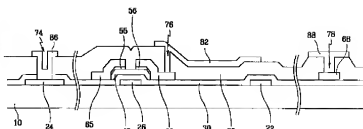
【符号の説明】

- 10 基板
- 22 ゲート線
- 24 ゲートパッド
- 26 ゲート電極
- 28 維持電極
- 30 ゲート絶縁膜
- 40 半導体層
- 42 薄膜トランジスタ用半導体パターン
- 50 非晶質ケイ素層
- 55 データ線部中間層
- 56 ドレイン電極用中間層
- 57 ソース/ドレイン用中間層
- 58 維持蓄電器用中間層
- 62 データ線
- 65 ソース電極
- 66 ドレイン電極
- 67 ソース/ドレイン用導電体パターン
- 68 データパッド
- 70 保護膜
- 72、74、76、78 接触孔
- 82 素子電極
- 86 補助ゲートパッド
- 88 補助データパッド
- 110 感光膜
- 112 第1部分
- 114 第2部分

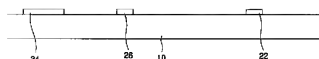
【図1】



【図2】



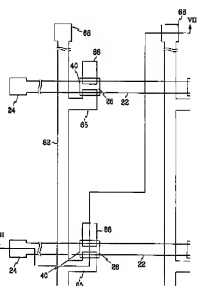
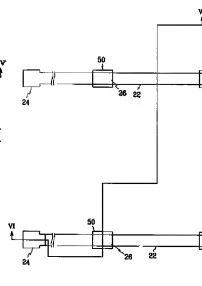
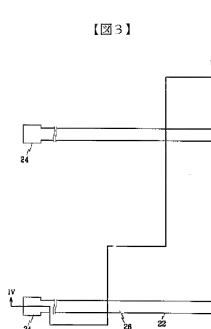
【図4】



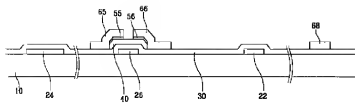
【図5】

【図7】

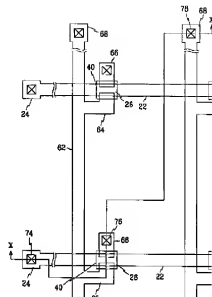
【図3】



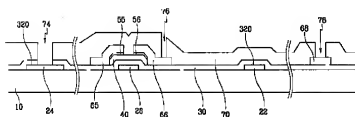
【图8】



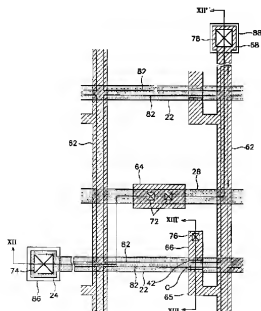
【图9】



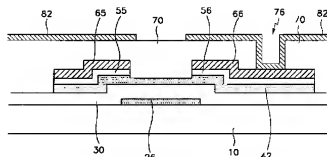
【图10】



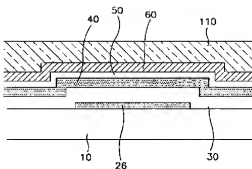
【图11】



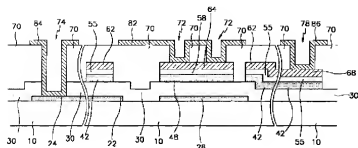
【图13】



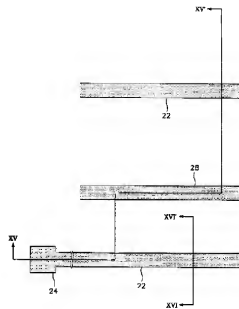
【图18】



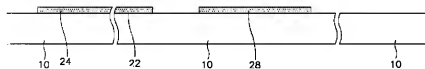
【図12】



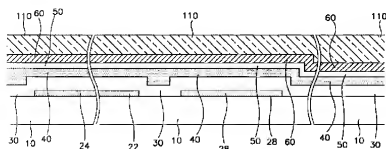
【図14】



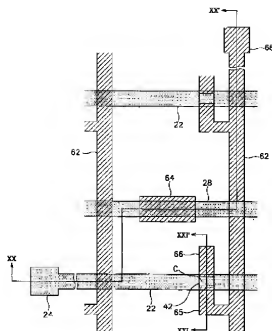
【図15】



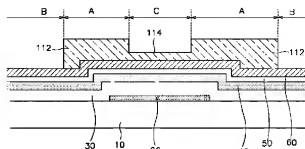
【図17】



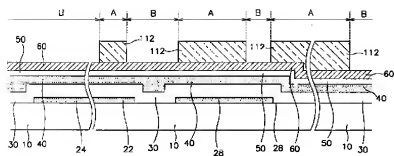
【図19】



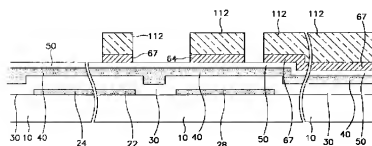
【図21】



【図20】

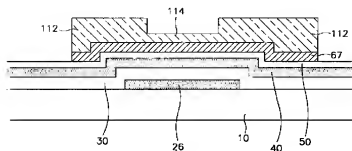


【図22】

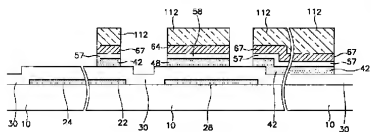




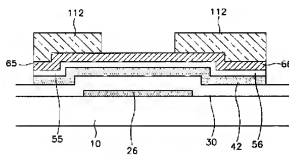
【图23】



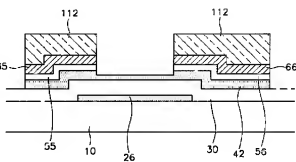
【图24】



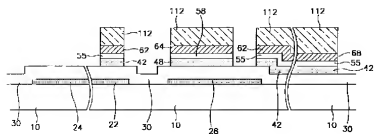
【图25】



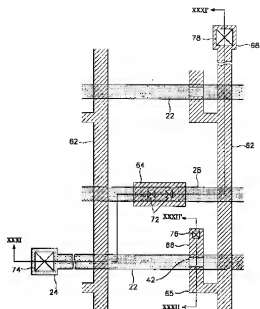
【图27】



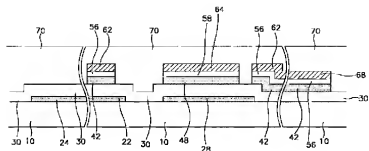
【图26】



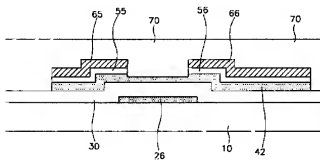
【图30】



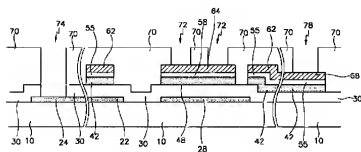
【图28】



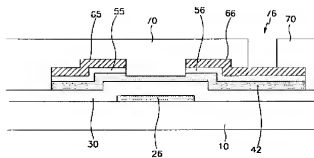
【图29】



【图31】



【图32】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	(参考)
H 0 1 L 21/336		H 0 1 L 29/78	6 1 2 D

Fターム(参考) 2H090 HB04X LA04

2H092 JA24 JA34 JA37 KA10 MA04  
MA05 MA07 MA17 MA27 MA29  
NA25

4M104 AA09 BB02 BB13 BB14 BB16  
BB17 CC01 CC05 DD17 DD37  
DD63 DD64 DD65 DD86 EE05  
EE17 FF13 GG09 HH08 HH15  
HH16

5F033 HH09 HH10 HH17 HH18 HH20  
HH21 HH38 MM05 PP15 QQ08  
QQ09 QQ11 QQ19 QQ35 QQ37  
QQ91 QQ94 RR06 SS11 VV06  
WW00 WW01 WW02 WW03 XX19

5F110 AA03 AA16 BB01 CC07 EE03  
EE04 EE06 EE14 EE44 EE48  
FF03 FF29 GG02 GG15 GG24  
GG25 GG44 HK03 HK04 HK05  
HK06 HK09 HK16 HK21 HK33  
HK34 HL03 HL04 HL06 HL07  
HL11 HL23 HL26 NN02 NN24  
NN72 NN73 QQ04 QQ05